

INGENIERO TÉCNICO EN ELECTRÓNICA INDUSTRIAL

ELECTRÓNICA DIGITAL

EXAMEN DE FEBRERO

15-02-2005

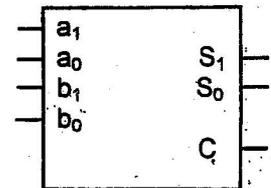
Handwritten notes and calculations: $Z = \frac{30}{10} = 3$, $\frac{36}{6} = 6$, and a circled '6'.

TEORÍA

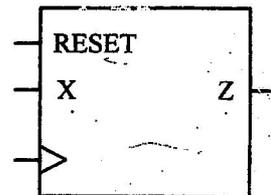
1. Describese las características de las señales digitales y analógicas. Indíquese los tipos de señales digitales.
2. Defínase el concepto de Automata. Indíquese los tipos de autómatas comentando sus diferencias desde el punto de vista del diseño lógico.
3. Describese la metodología de diseño de los contadores binarios asincronos ascendentes de módulo 2^n , donde n es el número de bits del contador. Diseñese un contador módulo 8 con salida de acarreo. El contador podrá ser activo por flanco de bajada o de subida. Indíquese las ventajas e inconvenientes de los contadores binarios asincronos frente a los síncronos.

PROBLEMAS

1. Diseñar el circuito combinacional de la figura. Corresponde a un sumador binario de 2 números binarios (A y B) de 2 bits. Las entradas del número A son a_1 y a_0 y las del número B b_1 y b_0 . El circuito genera las salidas necesarias para representar el resultado incluyendo un acarreo de salida. S_1 y S_0 son las señales de salida de la suma y C la de acarreo. Se obtendrá la tabla de verdad completa del sumador, pero solamente se implementarán las salidas S_1 y C para los siguientes casos:



- 1.2. Mediante puertas NAND de cualquier número de entradas. Solamente se implementará la salida C.
 - 1.3. Mediante multiplexores.
 - 1.4. Mediante decodificadores necesarios con salidas activas a nivel bajo y las puertas necesarias.
2. Diseñar un contador gray síncrono ascendente de 3 bits, es decir módulo 8. Tiene una entrada de Clear asíncrono (C) y otra de habilitación (E), y una salida de acarreo (C). Todas las señales son activas a nivel alto. El contador es activo por flanco de bajada. Se utilizarán flip-flop T con entradas asincrónicas de clear y preset activas a nivel bajo.



3. Obtener la tabla de estados mínima del circuito secuencial síncrono con dos entradas X y RESET y una salida Z. RESET es la señal de restauración síncrona y por X se reciben en serie números BCD sincronizados con el flanco de subida de la señal de reloj CLK. La salida Z se pondrá a 1 después de recibir los números 8 o 9. Diseñar el circuito teniendo en cuenta lo siguiente:
 - ✓ Se están recibiendo continuamente números BCD de 1 dígito.
 - ✓ Primero se recibe el bit más significativo.
 - ✓ Dos números BCD consecutivos se reciben separados por un periodo de reloj.
 - ✓ La salida Z se activará solamente durante un periodo de reloj después de recibirse los números 8 o 9.
 - ✓ Aunque el alumno sea capaz de sintetizar directamente el diagrama de estados mínimo deberá comprobarlo utilizando el método de la tabla de implicaciones

$$S_1 = \bar{a}_1 b_1 + a_1 \bar{b}_1$$

$$C = a_1 b_1 + \bar{a}_1 a_0 b_0 + a_1 \bar{a}_0 b_0$$

$$C = a_1 b_1 + a_1 b_0 = \sum m(3, 7, 11, 12, 13, 14, 15)$$

$$S_1 = (4, 5, 6, 7, 8, 9, 10, 11)$$