INGENIERO TÉCNICO EN ELECTRÓNICA INDUSTRIAL

ELECTRÓNICA DIGITAL

EXAMEN DE RECUPERACIÓN 28-03-2003

TEORÍA

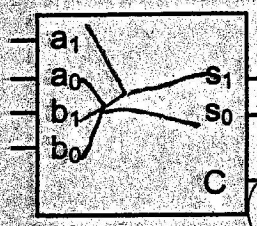
1. Descríbase las características de las señales digitales y analógicas. Indíquese los tipos de señales digitales. **1 punto**
2. Dado un sistema de representación numérico en complemento a 2 que emplea 6 bits resolver las siguientes cuestiones: **2 puntos**
   - 2.1. Rango de representación
   - 2.2. Realizar las siguientes operaciones, si es posible, e interpretar los resultados
     - 2.2.1 (+15) + (+16)
     - 2.2.2 (+15) + (+17)
     - 2.2.3 (-15) – (+17)
     - 2.2.4 (+17) – (–17)
     - 2.2.5 (-35) + (+16) → No es posible realizar la operación

1 0 0 0
1 0 0 1

3. ¿Qué es un multiplexor binario?. Diséñese un multiplexor de 8 a 1. **1 punto**

PROBLEMAS

NO 1. Diseñar el circuito combinacional de la figura. Corresponde a un sumador binario de 2 números binarios (A y B) de 2 bits. Las entradas del número A son a_1 y a_0 y las del número B b_1 y b_0. El circuito genera las salidas necesarias para representar el resultado incluyendo un acarreo de salida. Las señales de salida de la suma son s_1 y s_0 y C la de acarreo. Se obtendrá la tabla de verdad completa del sumador, pero solamente se implementará la salida de acarreo para los siguientes casos: **2 puntos**



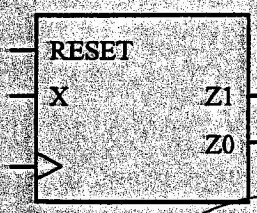
$$\begin{array}{r} a_1\,a_0 \\ +\ b_1\,b_0 \\ \hline C\ S_1\ S_0 \end{array}$$

A: a_1 a_0	B: b_1 b_0	C	S_1	S_0

- 1.1. Mediante puertas NAND de cualquier número de entradas
- 1.2. Mediante un multiplexor
- 1.3. Mediante un decodificador y las puertas necesarias

2. Diseñar un contador BCD síncrono de un dígito con entrada de habilitación y salida de acarreo. Se utilizarán flip-flops T. Solamente se simplificará la función de excitación del biestable correspondiente a la salida de cuenta menos significativa y la salida de acarreo. El diagrama lógico se dibujará de forma esquemática detallando solamente la función de excitación del biestable correspondiente a la salida menos significativa y la salida de acarreo. **2 puntos**

3. Obtener la tabla de estados mínima del circuito secuencial síncrono con dos entradas X y RESET y dos salidas Z1 y Z0. RESET es la señal de restauración asíncrona y por X se reciben en serie bits sincronizados con el flanco de bajada de la señal de reloj CLK. La salida Z1 se pondrá a 1 al recibir el quinto bit de la secuencia 10111. La salida Z0 se pondrá a 1 al recibir el quinto bit de la secuencia 11001. Diseñar el circuito teniendo en cuenta lo siguiente: **2 puntos**



- ✓ Cada secuencia válida puede ir precedida de cualquier patrón de bits
- ✓ Debe detectar secuencias consecutivas
- ✓ Como debe activarse la salida correspondiente a la secuencia que se reciba primero, cuando se rompa una secuencia deberá tratarse de aprovechar el mayor número de los bits recibidos para determinar el estado siguiente
- ✓ Aunque el alumno sea capaz de sintetizar directamente el diagrama de estados mínimo deberá comprobarlo utilizando el método de la tabla de implicaciones