

Sistemas Digitales (12-12-00)

1º I.T.I. Sistemas.

NOTA: La pregunta número 1 (teórica) es obligatoria para aprobar el examen, de forma que debe obtenerse al menos una calificación de 3 puntos sobre diez. En caso de no superarse esta calificación no se corregirán el resto de preguntas, y la calificación del examen será la obtenida en esta pregunta.

1.

1-1) Defínase que es un Minterm, Maxterm y una adyacencia.

1-2) Para las tres principales formas de representación de números enteros con signo, razónese el rango de representación de cada una de ellas si se dispone de 5 bits incluido el signo.

1-3) Poner un ejemplo de un demultiplexor del tamaño que se desee e indicar como funciona y deducir su estructura interna (a nivel de puertas).

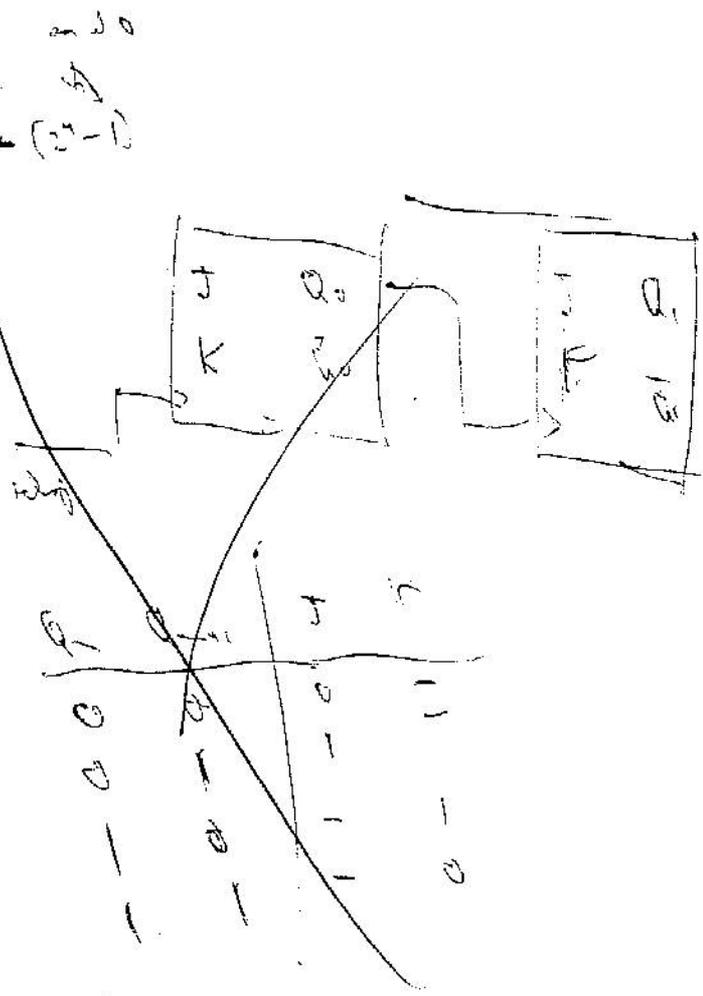
1-4) Explíquese y muéstrase mediante un cronograma en que consiste la captación de unos por el biestable J-K maestro-esclavo.

1-5) Explíquese y muéstrase con un dibujo cual es la diferencia entre un contador síncrono y asíncrono.

(Continúa detrás)

$S_{-m} = (2^n - 1) \dots (2^3 - 1)$
 $A = (2^n - 2) \dots (2^3 - 1)$

	I-M	S-2	G1
0	0	0	0
0	1	1	1
0	2	2	2
0	3	3	3
0	4	4	4
0	5	5	5
0	6	6	6
0	7	7	7
1	0	8	8
1	1	9	9
1	2	10	10
1	3	11	11
1	4	12	12
1	5	13	13
1	6	14	14
1	7	15	15



0111
 1000
 1000
 0111
 1000

2.

- a) Dada la siguiente función expresada como suma de minterms, sintetizarla con:
 a-1) Puertas básicas de cualquier número de entradas.
 a-2) Un multiplexor del tamaño adecuado.

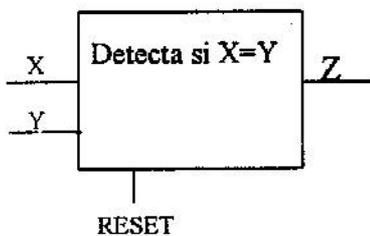
$$F(x,y,z,u) = \sum m(0,2,4,7,8,15) + d(10)$$

Dibújese el circuito completo

- b) Diseñar partiendo de un sumador binario de 4 bits una unidad Aritmética de 4 bits que realice las siguientes operaciones, dependiendo de dos señales de control $S_1 S_0$. A y B son los operandos:

$S_1 S_0$	Operación
00	A
01	A+1
10	A-1
11	A-B

3. **DISEÑO DE SISTEMAS SECUENCIALES SÍNCRONOS.** Se desea diseñar un circuito Mealy que active su salida cuando en sus dos entradas X e Y aparezcan dos caracteres iguales. El circuito tendrá tres entradas X, Y y RESET y una salida Z. RESET es una entrada de restauración externa asíncrona. Por las entradas X e Y se reciben en serie caracteres de 4 bits. El circuito pondrá su salida a 1 cuando detecte que en las entradas X e Y han aparecido dos caracteres iguales y solo en este caso permanecerá bloqueado con la salida a 1 indicando que se han encontrado dos caracteres iguales hasta que se restaure el circuito mediante la señal de restauración, en cualquier otro caso el circuito debe estar analizando continuamente sus entradas X e Y.



Sintetizar únicamente una función de excitación (T_0) y la salida Z, utilizando biestables tipo T. Dibujar el circuito considerando todas las entradas de los biestables.

Q^n	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

