EXAMEN SISTEMAS DIGITALES – PARCIAL DE ENERO DE 2004

PROBLEMAS

- 1) DISEÑAR UNA UNIDAD ARITMÉTICA DE 4 BITS QUE SEA CAPAZ DE REALIZAR LAS SIGUIENTES OPERACIONES DE ACUERDO CON LA TABLA QUE SE ADJUNTA.

S1	S0	FUNCIÓN ARITMÉTICA
0	0	$A - B - C_E$
0	1	$-A + B - C_E$
1	0	$-A + B - C_E'$
1	1	$A - B - C_E'$

Donde C_E es una señal externa de 1 bit (es decir, puede tomar valores lógicos 0 o 1).

Nota: Realizar el diseño con el menor coste en circuitos integrados.

- 2) IMPLEMENTAR UN DECODIFICADOR DE 4 A 16 A PARTIR DE DECODIFICADORES DE 3 A 8 CON SEÑAL DE ENABLE. IMPLEMENTAR UN DECODIFICADOR DE 4 A 16 A PARTIR DE DECODIFICADORES DE 2 A 4 CON SEÑAL DE ENABLE.
- 3) IMPLEMENTAR LAS SIGUIENTES FUNCIONES MEDIANTE SÍNTESIS NAND REDUCIENDO EL COSTO DE LOS CIRCUITOS: CI

$$F(x,y,z,u) = \bar{x}yz + xy\bar{u} + \bar{x}y\bar{z} + yz + uz + \bar{y}\bar{u}$$

TEORÍA

- 1) ¿Qué es un sistema combinacional?
- 2) Utilidad de los multiplexores.
- 3) Riesgos funcionales en los sistemas combinacionales: definición, causa, etc.