

1. Determinar la secuencia de microoperaciones necesarias para implementar la instrucción “C2M m” en la Computadora Mejorada. La instrucción “C2M m” debe realizar el complemento a dos del contenido de la posición de memoria “m” y, si el resultado es un número negativo, saltarse la siguiente instrucción. No es necesario implementar el ciclo de búsqueda.

(3 puntos)

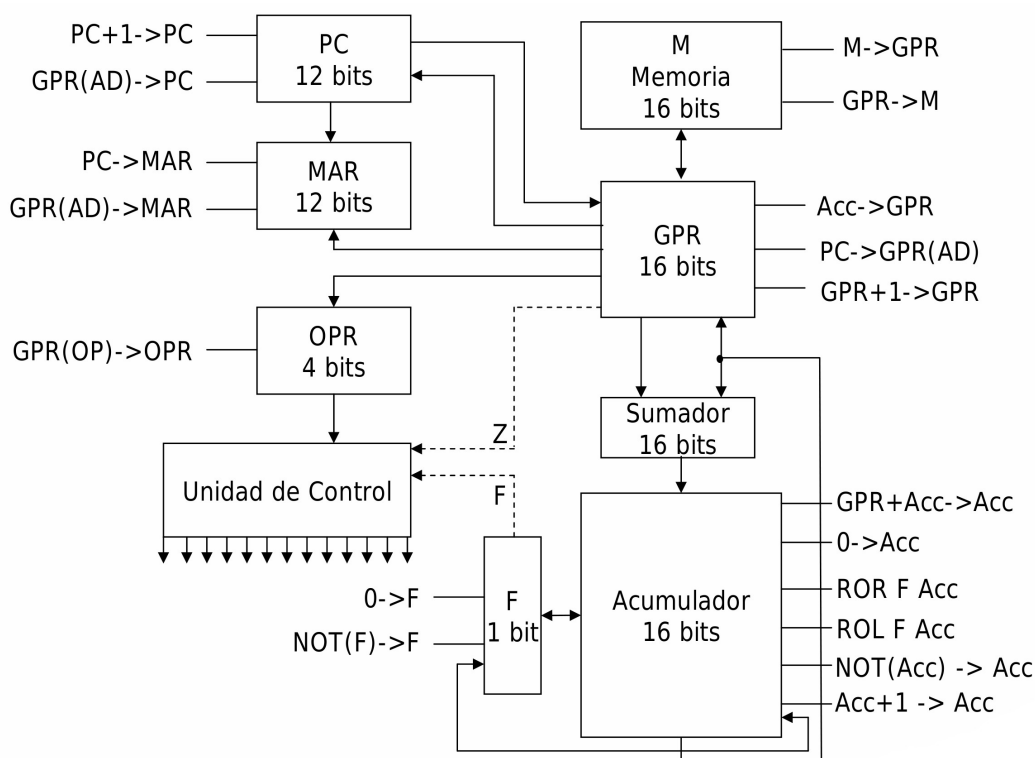
2. Tomando como punto de partida la estructura de la Computadora Mejorada y completándola con las microoperaciones que sean necesarias, implementar mediante control cableado la instrucción “MUL m”, que realiza la multiplicación del contenido del registro QR por el contenido de la posición de memoria “m” utilizando para ello el Algoritmo de Booth. A todos los efectos, el registro GPR de la Computadora Mejorada actuará como registro BR en el Algoritmo de Booth. Incluir también el ciclo de búsqueda. Obtener únicamente las expresiones de control para las microoperaciones $M \rightarrow GPR$ y $AC \leftarrow AC + BR$. Los bits de status existentes son: Q_n , Q_{n+1} y Z_{SC} .

(4 puntos)

3. Una memoria caché asociativa por conjuntos de 4 vías utiliza bloques de 4 palabras. Tiene capacidad para almacenar 32K palabras de memoria principal. El tamaño de la memoria principal es de 1024Kx8. Determinar:

- Longitud de una dirección de memoria física y longitud de una dirección de memoria caché.
- Número de bits en los campos línea¹ y palabra² de una dirección de caché. Número de bits de etiqueta³.
- Tamaño total de la memoria caché en bits, incluyendo un bit de validez para cada línea de caché.

(3 puntos)



1 Bloque.

2 Palabra dentro del bloque.

3 Rótulo.

