

EXAMEN DE ARQUITECTURA DE COMPUTADORES - CONVOCATORIA DICIEMBRE 2005

DICIEMBRE - 2005

- 1.- Jerarquía de memoria. Transferencia de información entre las distintas unidades.
- 2.- Sea una memoria cache de 8Kbytes. Determinar, sabiendo que el tamaño de la palabra de dirección es de 28 bits, la organización de la memoria cache en los siguientes casos:
 - a) Mapeo directo. Tamaño de línea de cache de 32 bytes y de palabra de dato de 32 bits.
 - b) Asociativa por conjuntos con asociatividad 4. Tamaño de línea de cache de 16 bytes y de palabra de dato de 16 bits.Indicar en ambos casos el rótulo en tamaño y localización.
- 3.- Tipos de interrupciones y funcionamiento.
- 4.- Explicar el funcionamiento de la unidad de control microprograma de la Computadora Mejorada.
- 5.- Sistemas de memoria virtual segmentada.

6.- Sea el siguiente hardware y el siguiente algoritmo.

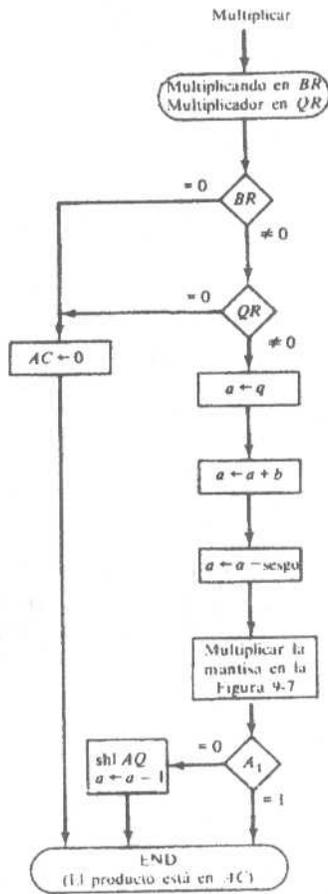


Figura 10-9 Multiplicación de números en punto flotante.

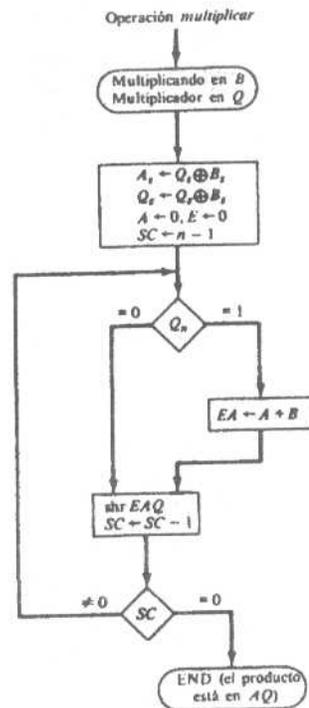


Figura 9-7 Diagrama de flujo para la operación de multiplicación.

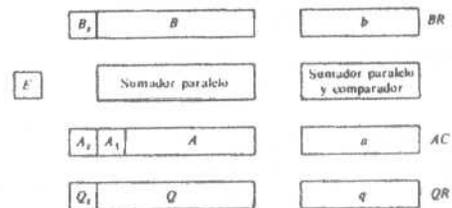


Figura 10-7 Registro para operaciones aritméticas en punto flotante.

Realizar la siguiente instrucción mediante control cableado con decodificadores de tiempo y operación, especificando la expresión lógica de control, las microoperaciones a activar y la temporización, y finalmente la lógica para cada una de las microoperaciones que se utilizan.

MUL m → multiplicar en punto flotante (doble precisión) el contenido del registro Qr (multiplicador) y la posición de memoria m (multiplicando).

Nota: Realizar el ciclo de búsqueda y de ejecución. Suponer que el registro Br hace las mismas funciones que el GPR de la computadora mejorada.

Puntuación: 1) 1,5 puntos; 2) 2 puntos; 3) 1,5 puntos; 4) 1 puntos; 5) 1 punto; 6) 3 puntos