

SEPTIEMBRE - 2005

1. Comparación de números binarios mediante operaciones aritméticas. Indicar un ejemplo de cada una de ellas. (Cuadro Pág. 5 Tema 2)
2. ¿Por qué en el algoritmo de división de números en representación coma flotante no hay sobreflujo? ¿Cómo se elimina el sobreflujo? ¿Qué ocurre al eliminar el sobreflujo?
3. Funcionamiento del DMA.
4. Sea el siguiente hardware y el siguiente algoritmo.

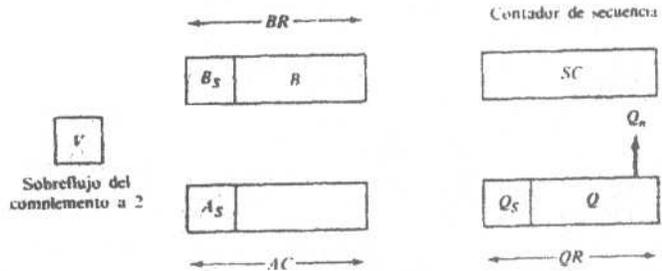
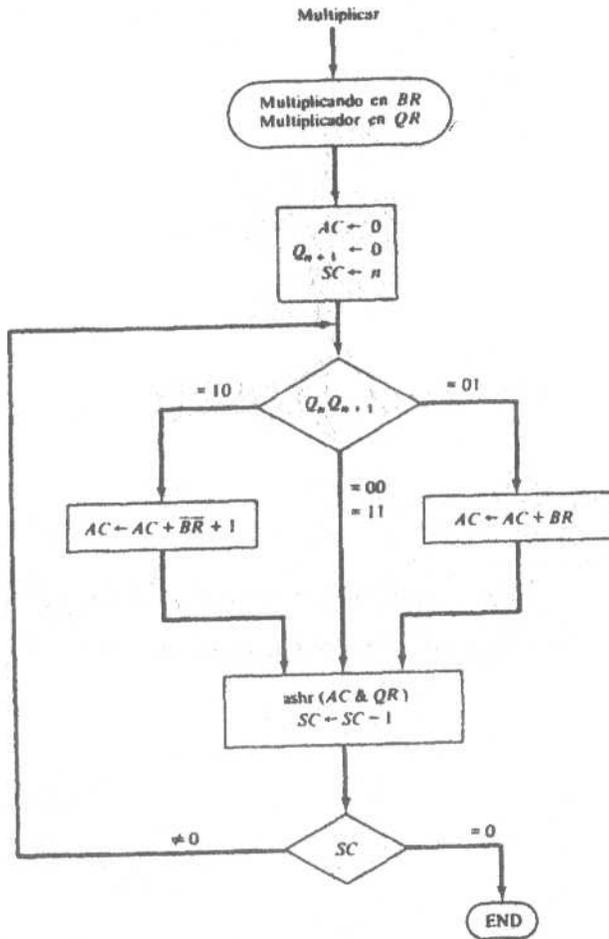


Figura 10-1 Registros para las operaciones aritméticas del complemento a 2 con signo.

Figura 10-5 Algoritmo de Booth para la multiplicación de números en el complemento de 2 con signo.

a) Construir el contenido de la CROM del controlador microprogramado horizontal (secuencia de micropalabras) así como la tabla lógica de selección de señales de control para realizar la siguiente instrucción:

MUL m → multiplicar en representación Complemento a 2 el contenido del registro Qr (multiplicador) y la posición de memoria m (multiplicando) mediante el algoritmo de Booth.

Nota aclarativa: Cuidado al definir el contenido de la CROM, hay que tener en cuenta el campo de selección de dirección que puede estar condicionado por los bits de status y las señales de selección de control.

- b) Realizar la anterior instrucción mediante control cableado con decodificadores de tiempo y operación, especificando la expresión lógica de control, las microoperaciones a activar y la temporización, es decir, tabla RTL; y finalmente la lógica para cada una de las microoperaciones.

Nota aclarativa para los dos apartados: Suponer que el registro Br hace las mismas funciones que el GPR de la computadora mejorada. Optimizar el número de micropalabras o ciclos. Realizar el ciclo de búsqueda y de ejecución en ambos métodos.

Nota aclarativa: elegir una de las dos opciones, o la opción a) (control microgramado) o la opción b) (control cableado)

5. Sea una memoria cache de 8Kbytes de capacidad. El tamaño de la palabra de memoria es de 32 bits y el de la palabra de dirección de 20 bits. La asociatividad es de 2 y el tamaño del bloque en cache de 64 bytes. Indicar:

- Organización de la cache, formato de la palabra de dirección y de la línea de cache.
- Si suponemos una memoria principal de 512 KBytes y páginas de 256 bytes en la memoria secundaria. Indicar la organización del mapeo asociativo de memoria virtual.
- Explicar, en este sistema concreto, el funcionamiento de la transferencia de información entre las distintas unidades de la jerarquía de memoria cuando la CPU solicita un dato.

Puntuación:

1)	2	puntos
2)	1	puntos
3)	2	puntos
4)	2,5	puntos
5)	2,5	puntos