

TEORÍA

- (1) 1. Suponer una computadora que incluye una memoria pila construida como parte de la memoria principal. Disponemos de un puntero de pila SP de 8 bits para poder direccionar hasta 256 palabras diferentes y que es inicializado a FF Hex. Si las posiciones de la pila en la memoria principal comienza en la dirección FF Hex en orden decreciente de direcciones. Definir las secuencias de microoperaciones para realizar una operación de escritura y otra de lectura en la memoria pila.
- (2) 2. Explicar brevemente cómo se realiza las transiciones de forma secuencial dentro de una instrucción ya sea micropalabra a micropalabra, o ciclo a ciclo, según se trate de control microprogramado o control cableado.

PROBLEMAS

- (3) 3. Sea el siguiente hardware y el siguiente algoritmo.

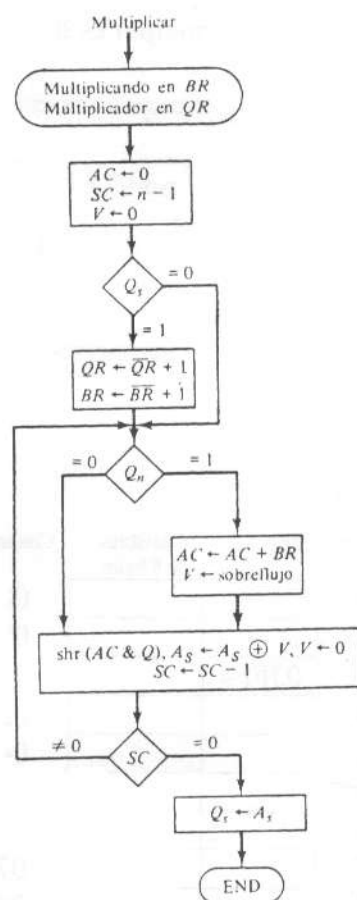


Figura 10-4 Algoritmo de multiplicación para números binarios en la representación del complemento a 2 con signo.

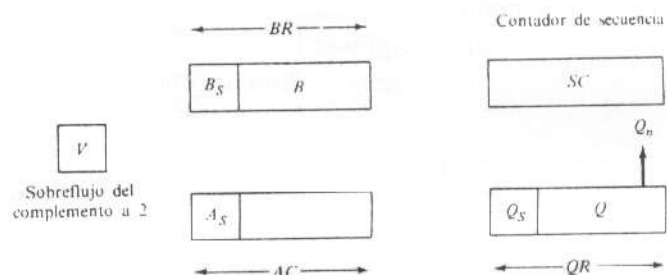


Figura 10-1 Registros para las operaciones aritméticas del complemento a 2 con signo.

- a) Construir el contenido de la CROM del controlador microprogramado horizontal (secuencia de micropalabras) así como la tabla lógica de selección de señales de control para realizar la siguiente instrucción:

MUL m → multiplicar en representación Complemento a 2 el contenido del registro Qr (multiplicador) y la posición de memoria m (multiplicando).

Nota aclarativa: Cuidado al definir el contenido de la CROM, hay que tener en cuenta el campo de selección de dirección que puede estar condicionado por los bits de status y las señales de selección de control.

- b) Realizar la anterior instrucción mediante control cableado con decodificadores de tiempo y operación, especificando la expresión lógica de control, las microoperaciones a activar y la temporización, es decir, tabla RTL; y finalmente la lógica para cada una de las microoperaciones (funciones de salida de la lógica de control).

Nota aclarativa para **los dos apartados**: Suponer que el registro Br hace las mismas funciones que el GPR de la computadora mejorada. Optimizar el número de micropalabras o ciclos. Realizar el **ciclo de búsqueda y de ejecución** en ambos métodos.

- (3) 4. Sea una memoria cache de 64 Kbytes y una memoria principal con un tamaño de dirección de 32 bits. El tamaño de bloque de la memoria principal es de 64 bytes y el ancho de palabra de datos es de 64 bits (8 bytes).
- Desglosar la dirección de memoria principal en los campos necesarios para realizar un mapeo directo (correspondencia directa).
 - Desglosar la dirección de memoria principal en los campos necesarios para realizar un mapeo asociativo por conjuntos con asociatividad 4.
 - Dada las siguientes direcciones de memoria principal, decir cuales produciría fallo de cache y cuales no, según lo definido en el apartado b).

0FFE01F0
0FFE01B0
0FFE0400

Etiqu	8 palabras de 8 bytes	Conjunto	Etiqu	8 palabras de 8 bytes	Conjunto	Etiqu	8 palabras de 8 bytes	Conjunto	Etiqu	8 palabras de 8 bytes	Conjunto
03FF4		00			00			00			00
		01			01			01			01
		02			02	03FF4		02			02
		03			03			03			03
		04			04			04			04
		05			05			05			05
		06			06			06			06
		07	03FF4		07			07			07
		08			08			08			08
03FF4		09			09			09			09
Vía 1			Vía 2			Vía 3			Vía 4		

- d) Explicar el proceso de acceso a memoria cache (tened en cuenta siny con fallo de cache).

Puntuación: 1) 2 puntos ; 2) 2 puntos ; 3) 3 puntos ; 4) 3 puntos